

LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

Patent Number: JP11125840
Publication date: 1999-05-11
Inventor(s): SHIMADA NAOYUKI; KUBO MASUMI
Applicant(s): SHARP CORP
Requested Patent: ☐ JP11125840
Application Number: JP19970292836 19971024
Priority Number(s):
IPC Classification: G02F1/136; G09F9/30
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To correct its fault and to minimize a loss of display quality when a fault such as a short circuit, etc., occurs between a pixel electrode and a common electrode by making one side between the pixel electrode and a counter electrode shape and cutting off a branched part related to a short circuit fault when the short circuit fault occurs between both electrodes.

SOLUTION: One side between the pixel electrode 18a and the counter electrode 19a is formed into the branched shape, and when the short circuit fault occurs between the pixel electrode 18a and the counter electrode 19a, the branched part related to the short circuit fault is cut off. In such a case, the pixel electrode 18a is cut off on a cut-off point 21 placed to an additive capacity 3 side than the short circuit fault part by a laser. Thus, since a voltage isn't applied no an area between the pixel electrode 18a and the counter electrode 19b, and the area between the pixel electrode 18a and the counter electrode 19a, though these areas are a dark display as it is, since an original signal voltage is applied to the pixel electrodes 18b-18d excepting them, a display becomes possible in the area excepting the area becoming the dark display.

Data supplied from the esp@cenet database - I2

Partial Translation of
JP 11(1999)-125840 A

Publication Date : May 11, 1999

5 Application No. : 9(1997)-292836

Application Date : October 24, 1997

Applicant : SHARP CORP.

[Translation of address omitted]

10 Title of the Invention : LIQUID CRYSTAL DISPLAY DEVICE AND ITS
MANUFACTURE

Translation of page 5, left column, lines 7 - 34

15 【0031】

The following will describe a method for correcting a pixel defect according to the present embodiment, while referring to FIG. 1. Two pixel electrodes 18 arranged on an opposite side to the TFT 1 with respect to an additional capacitor 3 are referred to as pixel electrodes 18a and 18b,
20 respectively, from right to left in FIG. 1. Two pixel electrodes 18 arranged on the TFT 1 side with respect to the additional capacitor 3 are referred to as pixel electrodes 18c and 18d, respectively, from left to right in FIG. 1. Further, three counter electrodes 19 arranged on the side opposite to the TFT 1 with respect to the additional capacitor 3 are referred to as counter
25 electrodes 19a, 19b, and 19c, respectively, from right to left in FIG. 1. Three counter electrodes 19 arranged on the TFT 1 side with respect to the additional capacitor 3 are referred to as counter electrodes 19d, 19e, and 19f, respectively, from left to right.

【0032】

30 In the case where a foreign matter 20 gets in the above-described active matrix substrate during the manufacturing process and a short circuit fault occurs between the pixel electrode 18a and the counter electrode 19b, an electric field is not applied to the liquid crystal at the foregoing pixel. Therefore, in the case of a display method in which dark
35 display is performed when no electric field is applied to the liquid crystal, such a pixel undergoing a short circuit fault as described above becomes

unable to performing display throughout the entire area of the pixel,
thereby becoming a black point defect.

【0033】

5 To correct the foregoing defect, the pixel electrode 18a is cut at a
cutting position 21 on the additional capacitor 3 side with respect to the
position where the short circuit fault occurs, using a laser. This prevents
the voltage application to a region between the pixel electrode 18a and the
counter electrode 19b and a region between the pixel electrode 18a and the
counter electrode 19a, thereby causing the regions to remain in dark display,
10 whereas it enables the normal signal voltage application to the other pixel
electrodes, namely, the pixel electrodes 18b, 18c, and 18d. Therefore, the
entire area except for the foregoing regions remaining in dark display
becomes capable of performing display.

15

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-125840

(43)公開日 平成11年(1999) 5月11日

(51)Int.Cl.⁹
G 0 2 F 1/136
G 0 9 F 9/30

識別記号
5 0 0
3 3 8

F I
G 0 2 F 1/136
G 0 9 F 9/30

5 0 0
3 3 8

審査請求 未請求 請求項の数7 O L (全 9 頁)

(21)出願番号 特願平9-292836

(22)出願日 平成9年(1997)10月24日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 久保 真澄

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

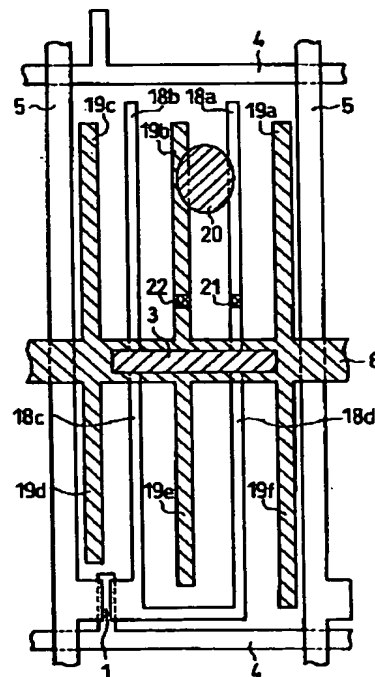
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 液晶表示装置の製造方法及び液晶表示装置

(57)【要約】

【課題】 絶縁性基板の面に平行な方向に電界を印加することによって表示動作を行う液晶表示装置の製造方法において、画素電極と共通電極との間で短絡等の欠陥が生じた場合に、該欠陥を修正し、かつ、表示品位の損失を最低限にする。

【解決手段】 単位画素において、対向電極19によって略分割される分割領域の数を4つ以上とし、上記欠陥に関わる画素電極18あるいは対向電極19を切断することにより、該欠陥が生じた分割領域以外の領域では表示動作を行えるようにする。



【特許請求の範囲】

【請求項1】互いに対向して配される2枚の絶縁性基板と、上記2枚の絶縁性基板の間に挟持される液晶と、上記絶縁性基板の一方に互いに直交して設けられるゲート信号線およびソース信号線と、ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、上記スイッチング素子のドレイン電極に接続される画素電極と、上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電界を印加する対向電極とを備えた液晶表示装置の製造方法であって、上記画素電極および対向電極の少なくとも一方が分岐した形状をなしており、画素電極と対向電極との間で短絡欠陥が生じた場合に、上記短絡欠陥に関わる分岐部分を切断することを特徴とする液晶表示装置の製造方法。

【請求項2】上記液晶が電界を印加されない場合に暗表示になるように設定されていることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項3】上記対向電極に接続された付加容量配線が、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から垂直に分岐して該付加容量配線の両側に形成されていることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項4】上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素が、上記画素電極あるいは上記対向電極によって4つ以上の領域に略分割されていることを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項5】上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の周縁に近接した対向電極あるいは画素電極と、その内側に配置されている画素電極あるいは対向電極との間で短絡欠陥が生じた場合、上記画素の周縁に近接している方の対向電極あるいは画素電極を切断することを特徴とする請求項1記載の液晶表示装置の製造方法。

【請求項6】互いに対向して配される2枚の絶縁性基板と、
上記2枚の絶縁性基板の間に挟持される液晶と、
上記絶縁性基板の一方に互いに直交して形成されたゲート信号線およびソース信号線と、
ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、
上記スイッチング素子のドレイン電極に接続される複数の画素電極と、
上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電界を印加する複数の対向電極とを備え、
上記のゲート信号線と上記のソース信号線とによってマトリクス状に形成された各画素が、上記画素電極あるい

は上記対向電極によって4つ以上の領域に略分割されていることを特徴とする液晶表示装置。

【請求項7】上記対向電極に接続された付加容量配線が、各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から分岐して該付加容量配線の両側に形成されていることを特徴とする請求項6記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばモニターなどの表示装置として用いられる液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】液晶表示装置における表示モードとして、例えば、TN (Twisted Nematic) モード、STN (Super-Twisted Nematic) モード、GH (Guest-Host) モードなどが知られている。これらの表示モードは、2枚の透明電極基板の間に液晶を封入し、両透明電極基板の面に垂直な方向に電界を印加することによって表示動作を行っている。

【0003】一方、液晶層を挟持する2枚の基板のうち、片方の基板に櫛形に電極を配置し、基板に平行な横方向の電界を印加することにより表示動作をおこなうIPS (In-Plane-Switching) モードと呼ばれる表示モードが提案されている。このIPSモードによれば、例えばTNモードによる場合と比較して、視死角特性が特に優れたものとなる。

【0004】このIPSモードによる液晶表示装置として、例えば特開平8-286176号公報には、以下に示すような液晶表示装置が開示されている。

【0005】図7は、上記の従来の液晶表示装置における単位画素内の電極構造を示す平面図である。薄膜トランジスタ素子31は画素電極37、信号電極32、走査電極33、及びアモルファスシリコン34から構成されている。共通電極35・35・35は、蓄積容量36の一方の電極から分岐する形で形成されており、画素電極37・37は、蓄積容量36のもう一方の端子に接続するとともに、上記共通電極35・35・35の間に配置されている。この共通電極35・35・35と画素電極37・37との間で、液晶に対して横方向の電界を印加する。以上の構成によれば、画素は共通電極35によって2か所の領域に略分割されることになる。

【0006】

【発明が解決しようとする課題】上記のような液晶表示装置においては、薄膜トランジスタ素子31 (TFT: Thin Film Transistor、以下、TFTと称する) を形成した基板上に画素電極37と共通電極35とを形成するが、その製造工程において生ずる欠陥によって、画素電極37と共通電極35とが短絡してしまうことがある。その場合には液晶に電界が印加されなくなるので、液晶

に電界が印加されない場合に暗表示を行うように設定されている場合には、該欠陥部分が黒点欠陥となり、表示品位を損なってしまう。

【0007】本発明の目的は、IPSモードの液晶表示装置の製造方法において、画素電極と共通電極との間で短絡等の欠陥が生じた場合に、該欠陥を修正し、かつ、表示品位の損失を最低限にすることにある。

【0008】

【課題を解決するための手段】上記の課題を解決するために、請求項1記載の液晶表示装置の製造方法は、互いに対向して配される2枚の絶縁性基板と、上記2枚の絶縁性基板の間に挟持される液晶と、上記絶縁性基板の一方に互いに直交して設けられるゲート信号線およびソース信号線と、ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、上記スイッチング素子のドレイン電極に接続される画素電極と、上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電界を印加する対向電極とを備えた液晶表示装置の製造方法であって、上記画素電極および対向電極の少なくとも一方が分岐した形状をなしており、画素電極と対向電極との間で短絡欠陥が生じた場合に、上記短絡欠陥に関わる分岐部分を切断することを特徴としている。

【0009】上記の方法によれば、画素電極と対向電極との間で短絡欠陥が生じた場合に、該短絡欠陥に関わる画素電極あるいは対向電極の分岐部分を切断するので、切断した画素電極あるいは対向電極に関わる表示領域以外の領域では、表示動作を行うことができる。よって、表示品位の損失を最小限にすることができ、また、歩留りを改善することができる。

【0010】請求項2記載の液晶表示装置の製造方法は、請求項1記載の方法において、上記液晶が電界を印加されない場合に暗表示になるように設定されていることを特徴としている。

【0011】上記の方法によれば、切断した画素電極あるいは対向電極に関わる表示領域には電界は印加されずに暗表示となるので、明表示となるよりも、この電界が印加されない表示領域がはるかに目立たなくなり、さらに表示品位の損失を少なくすることができる。

【0012】請求項3記載の液晶表示装置の製造方法は、請求項1記載の方法において、上記対向電極に接続された付加容量配線が、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から垂直に分岐して該付加容量配線の両側に形成されていることを特徴としている。

【0013】上記の方法によれば、画素の中央付近に配置された付加容量配線から対向電極が垂直に分岐しているので、この画素は、付加容量配線を境としてまず2分

割され、2分割された領域の各々が、付加容量配線の両側に設けられた対向電極によって、さらに分割されることとなる。これにより、マトリクス状に形成された画素の辺の長さが比較的小さい場合でも、画素電極および対向電極の幅を極端に狭くすることなく、画素を複数の領域に略分割することができる。よって、良品率を高くすることができる。

【0014】請求項4記載の液晶表示装置の製造方法は、請求項1記載の方法において、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素が、上記画素電極あるいは上記対向電極によって4つ以上の領域に略分割されていることを特徴としている。

【0015】上記の方法によれば、上記短絡欠陥が分割領域の1か所で生じたならば、上記短絡欠陥に関わる画素電極あるいは対向電極の分岐部分を切断した場合、該短絡欠陥が生じた分割領域以外の領域の割合が75%以上となるので、実際の表示画面上で、該短絡欠陥が生じた画素をほとんど目立たなくすることができる。よって、表示品位の損失を最小限にすることができ、また、歩留りを改善することができる。

【0016】請求項5記載の液晶表示装置の製造方法は、請求項1記載の方法において、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の周縁に近接した対向電極あるいは画素電極と、その内側に配置されている画素電極あるいは対向電極との間で短絡欠陥が生じた場合、上記画素の周縁に近接している方の対向電極あるいは画素電極を切断することを特徴としている。

【0017】上記の方法によれば、上記画素の周縁に近接した対向電極あるいは画素電極と、その内側に配置されている画素電極あるいは対向電極との間で短絡欠陥が生じた場合、上記画素の周縁に近接している方の対向電極あるいは画素電極を切断するので、表示不能となる領域は、該短絡欠陥が生じた対向電極と画素電極の間の領域のみとなる。上記の内側に配置されている画素電極あるいは対向電極を切断した場合には、該画素電極あるいは対向電極の両側の対向電極あるいは画素電極との間の領域が表示不能となるので、この場合よりも、上記の画素の周縁に近接している方の対向電極あるいは画素電極を切断する方が、さらに表示可能な領域の面積を大きくすることができる。従って、表示品位の損失をさらに低減することができ、また、歩留りをさらに改善することができる。

【0018】請求項6記載の液晶表示装置は、互いに対向して配される2枚の絶縁性基板と、上記2枚の絶縁性基板の間に挟持される液晶と、上記絶縁性基板の一方に互いに直交して形成されたゲート信号線およびソース信号線と、ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、上記

スイッチング素子のドレイン電極に接続される複数の画素電極と、上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電界を印加する複数の対向電極とを備え、上記のゲート信号線と上記のソース信号線とによってマトリクス状に形成された各画素が、上記画素電極あるいは上記対向電極によって4つ以上の領域に略分割されていることを特徴としている。

【0019】上記の構成によれば、画素電極と対向電極の間で短絡欠陥が生じ、該短絡欠陥に関わる画素電極あるいは対向電極を切断することによって、該短絡欠陥を修正する場合に、画素は画素電極あるいは対向電極によって4つ以上の領域に略分割されているので、上記短絡欠陥が生じた分割領域以外の領域では、表示動作を行うことができる。よって、上記のような短絡欠陥が生じて、上記のような修正により、表示品位の損失を最小限にすることができる。

【0020】請求項7記載の液晶表示装置は、請求項6記載の構成において、上記対向電極に接続された付加容量配線が、各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から分岐して該付加容量配線の両側に形成されていることを特徴としている。

【0021】上記の構成によれば、画素の中央付近に配置された付加容量配線から対向電極が垂直に分岐しているので、この画素は、付加容量配線を境としてまず2分割され、2分割された領域の各々が、付加容量配線の両側に設けられた対向電極によって、さらに分割されることとなる。これにより、マトリクス状に形成された画素の辺の長さが比較的小さい場合でも、画素電極および対向電極の幅を極端に狭くすることなく、画素を複数の領域に略分割することができる。よって、良品率を高くすることができる。

【0022】

【発明の実施の形態】

〔実施の形態1〕本発明の実施の一形態について図1ないし図5に基づいて説明すれば、以下のとおりである。

【0023】図3は、本発明の実施の形態に係る液晶表示装置におけるアクティブマトリクス基板の概略を示す回路図である。ゲート信号線4…とソース信号線5…とが互いに直交することにより、画素がマトリクス状に形成され、各画素はTFT（スイッチング素子）1、液晶容量2、および付加容量3を備えている。各TFT1…のゲート電極にはゲート信号線4…が接続され、走査信号生成回路7からの走査信号によって各TFT1…が駆動される。各TFT1…のソース電極にはソース信号線5…が接続され、データ信号生成回路8からのデータ信号が各TFT1…に入力される。上記液晶容量2と付加容量3とは、TFT1のドレイン電極と付加容量配線6との間に、並列に接続されている。

【0024】図4は、上記液晶表示装置において、TFT

1が形成されている部分の概略構成を示す断面図である。第1の基板24と、TFT1が形成されている第2の基板25とが、間に液晶23を挟持して、互に対向して配置されている。

【0025】第1の基板24は、透明絶縁性基板9と、該透明絶縁性基板9の液晶23側の面に形成された配向膜16とを備えている。

【0026】第2の基板25は、以下に示すような構成となっている。透明絶縁性基板9の液晶23側の面上に、金属層からなるゲート電極10が形成されている。このゲート電極10および透明絶縁性基板9を被覆するように、ゲート絶縁膜11が形成されている。該ゲート絶縁膜11のさらに上層には、上記ゲート電極10の上方において、半導体層12が形成され、該半導体層12の上面から側面にわたる領域に、 n^+ 型 S_i 層からなるソース電極13およびドレイン電極14が、互いに接触しないように対をなして形成されている。また、ソース電極13に接触して、金属層からなるソース信号線5が形成され、ドレイン電極14に接触して、金属層からなる画素電極18が形成されている。上記のソース信号線、ソース電極13、半導体層12、ドレイン電極14、および画素電極18を覆うように層間絶縁膜17が形成され、該層間絶縁膜17の上層に、配向膜16が形成されている。なお、層間絶縁膜17と配向膜16との間に平坦化層を設けてもよい。

【0027】上記のゲート電極10、ゲート絶縁膜11、半導体層12、ソース電極13、およびドレイン電極14によって、TFT1が形成されている。

【0028】図2は、上記アクティブマトリクス基板における単位画素の平面図である。TFT1のゲート電極にはゲート信号線4が接続されている。なお、単位画素は、隣合うゲート信号線4・4と、隣合うソース信号線5・5とに囲まれる領域に対応する。また、この単位画素は長方形をなし、ソース信号線5・5からなる辺の方が、ゲート信号線4・4からなる辺よりも長くなっている。

【0029】TFT1のドレイン電極からは、画素電極18・18が単位画素の長手方向に伸展した状態で形成され、長手方向に対する中央付近において、該画素電極18・18同士を接続するように、長手方向に対して垂直な方向に伸展した形で付加容量3の一方の電極が形成されている。また、この付加容量3のもう一方の電極が、絶縁体を介して、図1において重なるように、付加容量配線6上に形成されている。付加容量配線6は、単位画素の長手方向に対する中央付近において、長手方向に垂直な方向に伸展した形で形成されている。また、画素電極18・18の間、およびソース電極5と画素電極18との間には、付加容量配線6から分岐して、対向電極19…が単位画素の長手方向に伸展した形で形成されている。以上のような構成によれば、単位画素は、対向

電極19…によって4つの領域に略分割される。

【0030】上記の画素電極18と対向電極19との間に電位差が生じることにより、液晶に対して基板面に平行な方向に電界が印加され、表示動作が行われる。なお、図3における液晶容量2とは、上記の画素電極18と対向電極19と液晶とからなるものである。

【0031】次に、本実施の形態における画素欠陥の修正方法について、図1を参照しながら以下に説明する。付加容量3に対してTFT1とは反対側に配置されている2本の画素電極18を、図1において右から画素電極18a、18bとし、付加容量3に対してTFT1側に配置されている2本の画素電極18を、図1において左から画素電極18c、18dとする。また、付加容量3に対してTFT1とは反対側に配置されている3本の対向電極19を、図1において右から対向電極19a、19b、19cとし、付加容量3に対してTFT1側に配置されている3本の対向電極19を、左から対向電極19d、19e、19fとする。

【0032】上記のアクティブマトリクス基板の製造中に、異物20が混入し、画素電極18aと対向電極19bとの間に短絡欠陥が発生した場合、この画素においては、液晶に対して電界が印加されなくなる。したがって、液晶に電界が印加されないときに暗表示を行う表示方式の場合、上記のような短絡欠陥が発生した画素は、その画素全域で表示不能になり、黒点欠陥となる。

【0033】上記の欠陥を修正するために、該短絡欠陥部よりも付加容量3側に位置する切断点21において、画素電極18aをレーザーを用いて切断する。これにより、画素電極18aと対向電極19bとの間の領域、および画素電極18aと対向電極19aとの間の領域には電圧が加わらないために暗表示のままであるが、それ以外の画素電極18b・18c・18dに対しては本来の信号電圧の印加が可能であるので、上記の暗表示となる領域以外では表示可能になる。

【0034】つまり、修正前では、欠陥が生じた画素は、その全域で表示不能、すなわち完全黒点となっていたが、上記のような修正により、欠陥が生じた画素は、その一部分が表示不能、すなわち部分黒点となる。図1に示すような構成の画素の場合、上記のような修正によれば、欠陥が生じた画素の面積の約4分の3の面積に相当する領域で、正常な表示動作が可能となる。画素の輝度に関する実験では、ある特定の画素の輝度が、正常な画素の75%程度である場合、通常の画面ではほとんど黒点欠陥とは認識できない、という結果がでており、この実験結果から鑑みて、上記の修正を施した欠陥画素は、実際の表示画面上ではほとんど目立たないものであるといえる。

【0035】したがって、画素の複数の分割領域にまたがる程の大きい欠陥では修正の度合いに限界があるものの、図1に示したような、画素の一部分の分割領域内で

の欠陥に対しては、上記のような修正によって十分な効果が得られる。

【0036】また、本実施形態における単位画素において、付加容量3よりもTFT1側にある画素電極18c・18dは、それぞれTFT1のドレイン電極に接続されている。この構成により、画素電極18cあるいは18dに関わる短絡欠陥が生じた場合に、短絡欠陥が生じた方の画素電極18cあるいは18dを切断しても、もう一方の画素電極18dあるいは18cが、付加容量3、および画素電極18aあるいは18bに電荷を供給することができる。よってこのような場合でも、画素電極18cあるいは18dの切断による修正を行うことによって、表示不能領域を最小限にすることができる。

【0037】上記のような修正による効果は、単位画素における対向電極19…によって略分割される分割領域の数に依存する。例えば、従来の技術で図7に示したような単位画素の構成では、分割領域は2つであり、このような画素に対して上記のような修正を行った場合、修正後の表示可能な領域は、無欠陥画素の表示面積の約2分の1の面積となる。この場合、上記した、修正後の表示可能な領域が無欠陥画素の表示面積の約4分の3の面積になる本実施形態の場合と比べて、修正の効果は不十分である。すなわち、単位画素における分割領域の数が多岐にわたる、上記のような修正による効果が高いといえる。

【0038】また、上記の修正は、画素電極18を切断することによる修正であったが、対向電極19を切断する修正を行っても構わない。この場合は、図1において、画素電極18aの切断点21の代わりに、切断点22において対向電極19bをレーザーを用いて切断する。これにより、対向電極19bと画素電極18aとの間の領域、および対向電極19bと画素電極18bとの間の領域には電圧が加わらないために暗表示のままであるが、それ以外の対向電極19a・19c・19d・19e・19fに対しては本来の信号電圧の印加が可能であるので、上記の暗表示となる領域以外では表示可能になる。すなわち、このような修正によれば、上記した、画素電極18aを切断する場合と同様に、欠陥が生じた画素の面積の約4分の3の面積に相当する領域で、正常な表示動作が可能となる。

【0039】また、例えば、図5に示すように、画素電極18bと対向電極19cとにまたがるように異物20が混入し、短絡欠陥となった場合には、画素電極18bを切断するよりも、対向電極19cを切断した方が表示可能領域が広がる。これは、画素電極18bを切断した場合、表示不能領域は、画素電極18bと対向電極19bとの間の領域、および画素電極18bと対向電極19cとの間の領域となるが、対向電極19cを切断した場合、表示不能領域は、対向電極19cと画素電極18bとの間の領域のみとなるからである。つまり、画素電

極18bを切断した場合、表示可能な領域は、無欠陥画素の表示面積の約4分の3の面積となり、対向電極19cを切断した場合、表示可能な領域は、無欠陥画素の表示面積の約8分の7の面積となる。

【0040】すなわち、単位画素において、画素電極18…および対向電極19…の伸展している方向に対して最も外側にある電極、上記の場合は対向電極19a、19c、19d、19fと、それぞれに隣接している画素電極18…との間で短絡欠陥が生じている場合、対向電極側を切断する方が、表示可能領域をより広くすることができる。

【0041】以上のように、単位画素において、付加容量3を長手方向の中央付近に配置し、該付加容量3から両側に分岐した形で対向電極19…および画素電極18…を形成することにより、対向電極19…によって略分割される分割領域の数が4つとなる。このような画素において対向電極19と画素電極18との間で短絡欠陥が生じた場合、該対向電極19あるいは該画素電極18を切断することによって、表示不能となる領域を最小限にすることができる。よって、表示品位を向上させるとともに、歩留りを改善することができる。

【0042】なお、修正を行った分割領域が黒表示になる方が、該分割領域が輝表示になるよりもはるかに目立たなくなるので、液晶に対して電界が印加されないときに暗表示になる表示方式の方が、上記のような修正による効果がより高くなる。

【0043】〔実施の形態2〕本発明の実施の他の形態について図6に基づいて説明すれば、以下のとおりである。なお、前記した実施の形態1で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【0044】図6は、前記アクティブマトリクス基板における単位画素の平面図である。付加容量配線6および付加容量3は、その単位画素におけるTFT1が形成されているゲート信号線4ではない方のゲート信号線4に近接した位置に、長手方向に垂直な方向に伸展している。5つの対向電極19…は、付加容量配線6から分岐して、画素の長手方向に伸展した形で形成されている。また、隣合う対向電極19…の間に、4つの画素電極18…がTFT1のドレイン電極と付加容量3の電極とに接続するように形成されている。上記のような構成によれば、単位画素は対向電極19…によって4つの分割領域に略分割されることになる。

【0045】以上のような構成の単位画素に、画素電極18と対向電極19との間で短絡欠陥が発生した場合、実施の形態1での修正方法と同様に、該画素電極18あるいは該対向電極19のどちらかを切断することにより、表示不能領域を最小限にすることができる。

【0046】また、単位画素において、画素の周縁に最も近い位置にある電極、すなわち、上記の場合は、ソー

ス信号線5・5に最も近い2つの対向電極19・19と、それぞれに隣接している画素電極18・18との間で短絡欠陥が生じている場合、対向電極側を切断する方が、表示可能領域をより広くすることができる。上記の場合に、対向電極側を切断すれば、表示可能な領域は、無欠陥画素の表示面積の約8分の7の面積となる。なお、同じ上記の場合に画素電極側を切断した場合、および上記の場合以外の箇所で短絡欠陥が発生した場合、表示可能な領域は、無欠陥画素の表示面積の約4分の3の面積となる。

【0047】なお、本実施形態における単位画素の構成のように、単位画素の長手方向に対する幅の間の画素電極18…および対向電極19…の数を多くする場合、この長手方向に対する幅（単位画素の短辺の長さ）が小さいとき、例えば、長手方向に対する幅が100μm程度であるときには、各画素電極18…および対向電極19…自身の幅や、画素電極18…と対向電極19…との間隔が小さくなりすぎてしまう。この場合、製造上での工作精度の限界より、逆に短絡欠陥等が増大するなどの問題が生じる。上記の短辺の長さが200μm以上であるならば、本実施形態のように、単位画素を短辺方向に4分割した構成でも問題は生じない。

【0048】以上のように、付加容量3を、その単位画素におけるTFT1が形成されているゲート信号線4ではない方のゲート信号線4に近接して配置し、該付加容量3から片側に分岐した形で対向電極19…および画素電極18…を形成することにより、対向電極19…によって略分割される分割領域の数が4つとなる。このような画素において対向電極19と画素電極18との間で短絡欠陥が生じた場合、該対向電極19あるいは該画素電極18を切断することによって、表示不能となる領域を最小限にすることができる。よって、表示品位を向上させるとともに、歩留りを改善することができる。

【0049】なお、液晶表示装置の製造方法としては、上記対向電極に接続された付加容量配線が、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の周縁付近に配置され、前記複数の対向電極が上記付加容量配線から分岐して該付加容量配線の片側に形成されていてもよい。

【0050】

【発明の効果】以上のように、請求項1の発明に係る液晶表示装置の製造方法は、互いに対向して配される2枚の絶縁性基板と、上記2枚の絶縁性基板の間に挟持される液晶と、上記絶縁性基板の一方に互いに直交して設けられるゲート信号線およびソース信号線と、ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、上記スイッチング素子のドレイン電極に接続される画素電極と、上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電

界を印加する対向電極とを備えた液晶表示装置の製造方法であって、上記画素電極および対向電極の少なくとも一方が分岐した形状をなしており、画素電極と対向電極との間で短絡欠陥が生じた場合に、上記短絡欠陥に関わる分岐部分を切断する。

【0051】これにより、画素電極と対向電極との間で短絡欠陥が生じた場合に、該短絡欠陥が生じた画素電極あるいは対向電極に関わる表示領域以外の領域では、表示動作を行うことができるという効果を奏する。よって、表示品位の損失を最小限にすることができ、また、歩留りを改善することができるという効果を奏する。

【0052】請求項2の発明に係る液晶表示装置の製造方法は、上記液晶が電界を印加されない場合に暗表示になるように設定されている。

【0053】これにより、請求項1の方法による効果に加えて、切断した画素電極あるいは対向電極に関わる表示領域には電界は印加されずに暗表示となるので、明表示となるよりも、この切断した画素電極あるいは対向電極に関わる表示領域がはるかに目立たなくなり、表示品位の損失をさらに小さくすることができるという効果を奏する。

【0054】請求項3の発明に係る液晶表示装置の製造方法は、上記対向電極に接続された付加容量配線が、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から垂直に分岐して該付加容量配線の両側に形成されている。

【0055】これにより、請求項1の方法による効果に加えて、マトリクス状に形成された画素の辺の長さが比較的小さい場合でも、画素電極および対向電極の幅を極端に狭くすることなしに、画素を複数の領域に略分割することができ、良品率を高くすることができるという効果を奏する。

【0056】請求項4の発明に係る液晶表示装置の製造方法は、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素が、上記画素電極あるいは上記対向電極によって4つ以上の領域に略分割されている。

【0057】これにより、請求項1の方法による効果に加えて、上記短絡欠陥に関わる画素電極あるいは対向電極の分岐部分を切断した場合、該短絡欠陥が1か所で生じたならば、該短絡欠陥が生じた分割領域以外の領域の割合が75%以上となるので、実際の表示画面上で、該短絡欠陥が生じた画素をほとんど目立たなくすることができ、表示品位の損失を最小限にすることができるという効果を奏する。

【0058】請求項5の発明に係る液晶表示装置の製造方法は、上記ゲート信号線および上記ソース信号線によってマトリクス状に形成された各画素の周縁に近接した対向電極あるいは画素電極と、その内側に配置されてい

る画素電極あるいは対向電極との間で短絡欠陥が生じた場合、上記画素の周縁に近接している方の対向電極あるいは画素電極を切断する。

【0059】これにより、請求項1の方法による効果に加えて、前記画素の周縁に近接した対向電極あるいは画素電極と、その内側に配置されている画素電極あるいは対向電極との間で短絡欠陥が生じた場合、表示不能となる領域は、該短絡欠陥が生じた対向電極と画素電極との領域のみとなるので、表示可能な領域の面積を大きくすることができ、表示品位の損失をさらに低減することができるという効果を奏する。

【0060】請求項6の発明に係る液晶表示装置は、互いに対向して配される2枚の絶縁性基板と、上記2枚の絶縁性基板の間に挟持される液晶と、上記絶縁性基板の一方に互いに直交して形成されたゲート信号線およびソース信号線と、ゲート電極にゲート信号線、ソース電極にソース信号線が接続された複数のスイッチング素子と、上記スイッチング素子のドレイン電極に接続される複数の画素電極と、上記画素電極と同一の絶縁性基板上に形成され、上記画素電極との間で、上記液晶に対して絶縁性基板の面に平行な方向に電界を印加する複数の対向電極とを備え、上記のゲート信号線と上記のソース信号線とによってマトリクス状に形成された各画素が、上記画素電極あるいは上記対向電極によって4つ以上の領域に略分割されている構成である。

【0061】これにより、画素電極と対向電極の間で短絡欠陥が生じ、該短絡欠陥に関わる画素電極あるいは対向電極を切断することによって、該短絡欠陥を修正する場合に、上記短絡欠陥が生じた分割領域以外の領域では、表示動作を行うことができるという効果を奏する。よって、上記のような短絡欠陥が生じて、上記のような修正により、表示品位の損失を最小限にすることができるという効果を奏する。

【0062】請求項7の発明に係る液晶表示装置は、上記対向電極に接続された付加容量配線が、各画素の中央付近に配置され、上記複数の対向電極が上記付加容量配線から分岐して該付加容量配線の両側に形成されている構成である。

【0063】これにより、請求項6の構成による効果に加えて、マトリクス状に形成された画素の辺の長さが比較的小さい場合でも、画素電極および対向電極の幅を極端に狭くすることなしに、画素を複数の領域に略分割することができ、良品率を高くすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る液晶表示装置における単位画素に短絡欠陥が生じた場合の概略構成を示す平面図である。

【図2】上記単位画素の概略構成を示す平面図である。

【図3】上記液晶表示装置の概略構成を示す回路図であ

る。

【図4】上記単位画素におけるTFTの構成を示す断面図である。

【図5】上記単位画素に短絡欠陥が生じた場合の他の概略構成を示す平面図である。

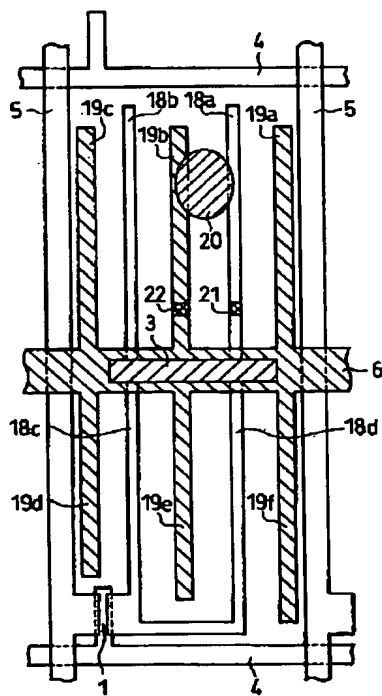
【図6】本発明の他の実施の形態に係る液晶表示装置における単位画素の概略構成を示す平面図である。

【図7】従来の液晶表示装置における単位画素の概略構成を示す平面図である。

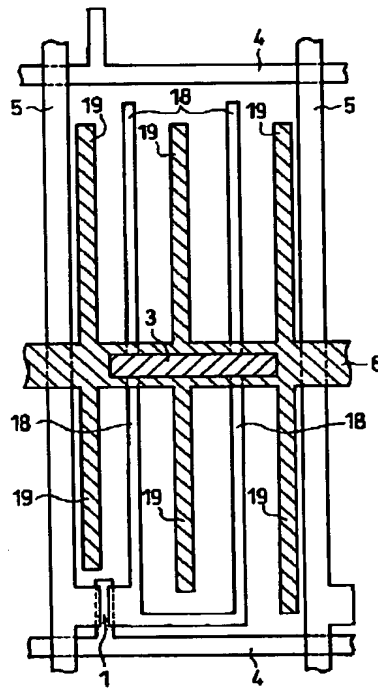
【符号の説明】

- 1 TFT（スイッチング素子）
- 3 付加容量
- 4 ゲート信号線
- 5 ソース信号線
- 6 付加容量配線
- 18 画素電極
- 19 対向電極

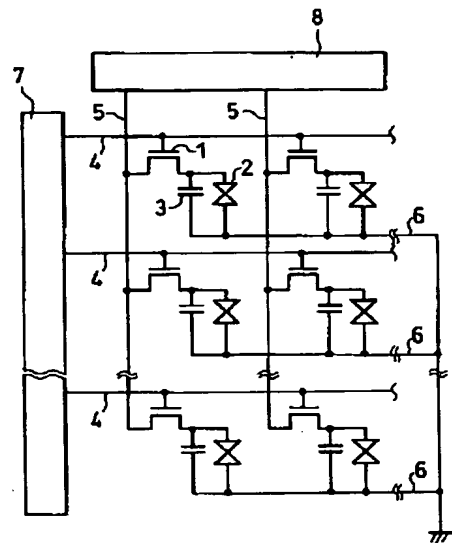
【図1】



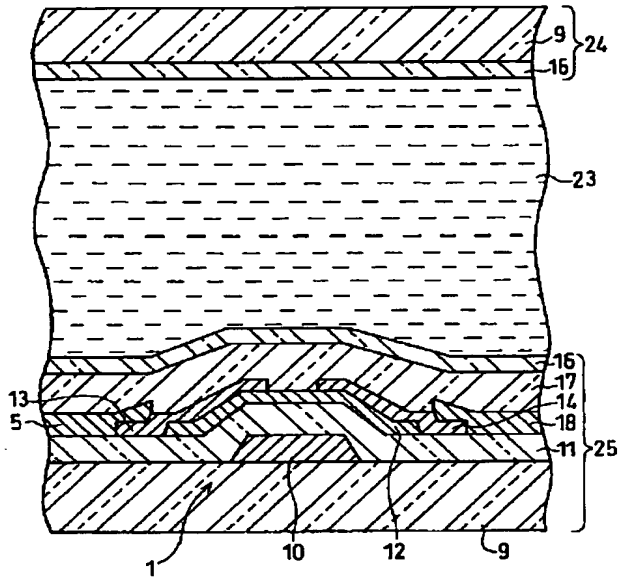
【図2】



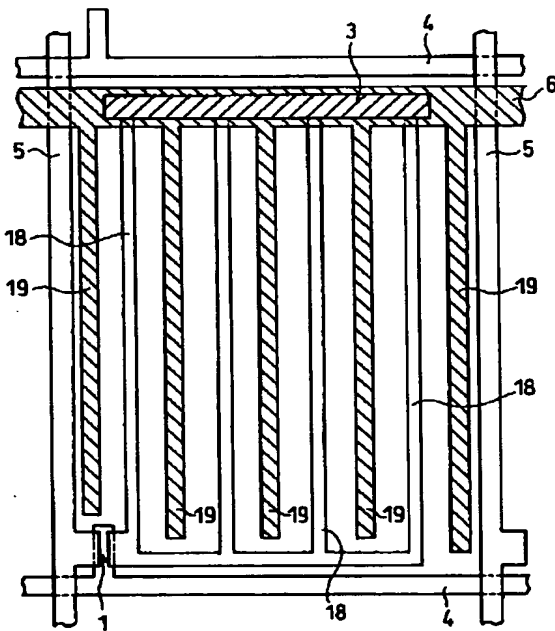
【図3】



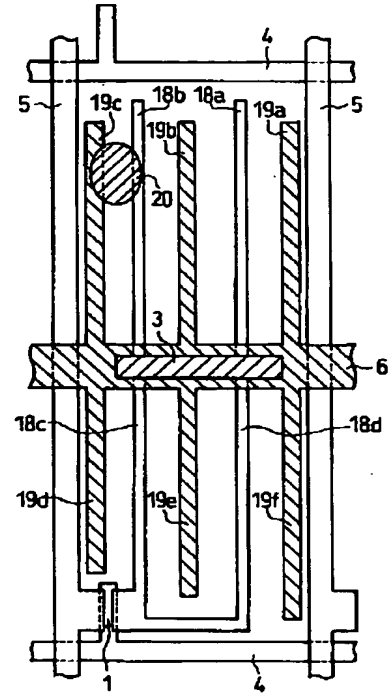
【図4】



【図6】



【図5】



【図7】

